

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-294470

(43)Date of publication of application : 20.10.2000

(51)Int.CI.

H01L 21/02
H01L 21/26
H01L 27/12

(21)Application number : 11-102698

(71)Applicant : SHIN ETSU HANDOTAI CO LTD

(22)Date of filing : 09.04.1999

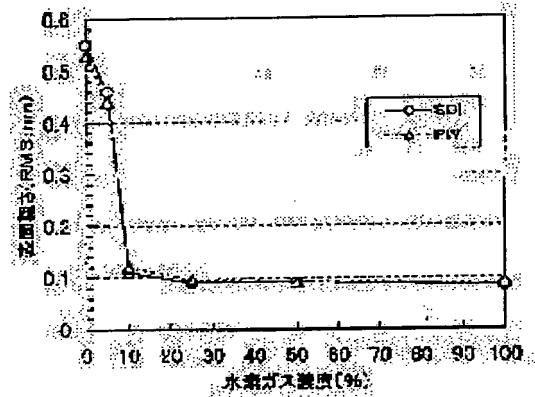
(72)Inventor : TAKAHATA JUNICHIRO
MITANI KIYOSHI
KOBAYASHI NORIHIRO
AKIYAMA SHOJI

(54) SOI WAFER AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a high-quality SOI wafer whose SOI layer and SOI/BOX boundary have such surface roughness that give extremely small affects on the breakdown voltage or threshold voltage of the oxide film of a MOS device manufactured, by using the SOI wafer or the variation of such a characteristic as the carrier mobility, etc., of the MOS device.

SOLUTION: The surface roughness of the SOI layer of an SOI wafer is adjusted to ≤ 0.12 nm RMS and/or the surface roughness of the boundary between the SOI layer and a buried oxide film is adjusted to ≤ 0.12 nm RMS. In a method for manufacturing an SOI wafer, after the surface of the SOI wafer is polished to a mirror face, the natural oxide film formed on the surface of the wafer is removed or a thermally oxide film having a thickness of ≥ 300 nm is formed on the surface of the wafer and removed, and the wafer is heat-treated in an atmosphere containing 10% hydrogen or argon containing $\geq 10\%$ hydrogen and/or a mixed gas atmosphere containing the argon and nitrogen by using a quick heating/quenching device.



LEGAL STATUS

[Date of request for examination]

09.01.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-294470

(P2000-294470A)

(43)公開日 平成12年10月20日 (2000.10.20)

(51)Int.Cl.
H 01 L 21/02
21/26
27/12

識別記号

F I
H 01 L 21/02
27/12
21/26

マーク (参考)
B
B
G

審査請求 未請求 請求項の数11 O L (全 9 頁)

(21)出願番号

特願平11-102698

(22)出願日

平成11年4月9日 (1999.4.9)

(71)出願人 000190149

信越半導体株式会社

東京都千代田区丸の内1丁目4番2号

(72)発明者 降旗 順一郎

群馬県安中市磯部2丁目13番1号 信越半導体株式会社半導体磯部研究所内

(72)発明者 三谷 滋

群馬県安中市磯部2丁目13番1号 信越半導体株式会社半導体磯部研究所内

(74)代理人 100102532

弁理士 好宮 幹夫

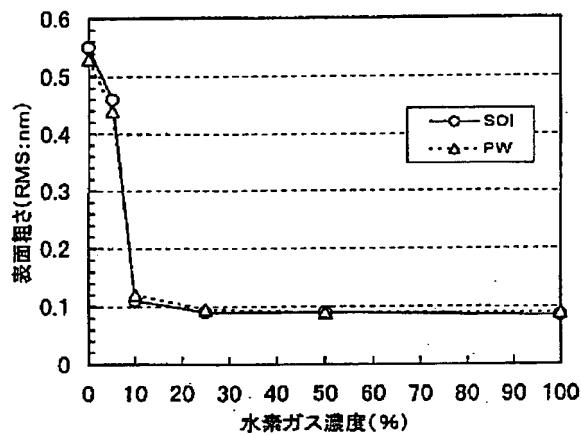
最終頁に続く

(54)【発明の名称】 SOIウエーハおよびSOIウエーハの製造方法

(57)【要約】 (修正有)

【課題】 SOIウエーハを用いて作製されるMOSデバイスの酸化膜耐圧やしきい値電圧あるいはキャリア移動度等のデバイス特性のバラツキ等に及ぼす影響が極めて少ないSOI層表面の面粗さとSOI/BOX界面の面粗さを有する高品質SOIウエーハとその製造方法を提供する。

【解決手段】 SOIウエーハのSOI層表面の面粗さがRMS値で0.12nm以下および/またはSOI層と埋め込み酸化膜との界面の面粗さがRMS値で0.12nm以下であるSOIウエーハ、並びにSOIウエーハを鏡面研磨した後、該表面の自然酸化膜を除去または該表面に300nm以上の熱酸化膜を形成して該熱酸化膜を除去し、急速加熱・急速冷却装置を用いて水素100%あるいは水素を10%以上含有するアルゴンおよび/または窒素との混合ガス雰囲気下で熱処理を行なうことを特徴とするSOIウエーハの製造方法。



【特許請求の範囲】

【請求項1】 SOIウエーハのSOI層表面の面粗さがRMS値で0.12nm以下であることを特徴とするSOIウエーハ。

【請求項2】 SOIウエーハのSOI層と埋め込み酸化膜との界面の面粗さがRMS値で0.12nm以下であることを特徴とするSOIウエーハ。

【請求項3】 SOIウエーハのSOI層表面の面粗さがRMS値で0.12nm以下であり、かつSOI層と埋め込み酸化膜との界面の面粗さがRMS値で0.12nm以下であることを特徴とするSOIウエーハ。

【請求項4】 SOIウエーハを鏡面研磨した後、該表面の自然酸化膜を除去し、急速加熱・急速冷却装置を用いて水素100%あるいは水素を10%以上含有するアルゴンおよび/または窒素との混合ガス雰囲気下で熱処理を行なうことを特徴とするSOIウエーハの製造方法。

【請求項5】 SOIウエーハを鏡面研磨した後、該表面に300nm以上の熱酸化膜を形成し、該熱酸化膜を除去することを特徴とするSOIウエーハの製造方法。

【請求項6】 シリコンウエーハを鏡面研磨した後、該表面の自然酸化膜を除去し、急速加熱・急速冷却装置を用いて水素100%あるいは水素を10%以上含有するアルゴンおよび/または窒素との混合ガス雰囲気下で熱処理を行なって作製したボンドウエーハと、ベースウエーハとをシリコン酸化膜を介して密着させて熱処理を加えた後、該ボンドウエーハを薄膜化することを特徴とするSOIウエーハの製造方法。

【請求項7】 前記シリコン酸化膜はボンドウエーハ表面に形成した熱酸化膜であることを特徴とする請求項6に記載したSOIウエーハの製造方法。

【請求項8】 鏡面研磨されたシリコンウエーハからなるボンドウエーハの表面に第一の熱酸化膜を形成し、該第一の熱酸化膜を除去した後、第二の酸化膜を介して該ボンドウエーハとベースウエーハとを密着させて熱処理を加えた後、該ボンドウエーハを薄膜化することを特徴とするSOIウエーハの製造方法。

【請求項9】 前記第二の酸化膜はボンドウエーハ表面に熱酸化膜を形成することを特徴とする請求項8に記載のSOIウエーハの製造方法。

【請求項10】 前記ボンドウエーハを薄膜化することにより作製されたSOIウエーハの表面の自然酸化膜を除去した後、急速加熱・急速冷却装置を用いて水素100%あるいは水素を10%以上含有するアルゴンおよび/または窒素との混合ガス雰囲気下で熱処理を行なうことを特徴とする請求項6ないし請求項9のいずれか1項に記載のSOIウエーハの製造方法。

【請求項11】 前記ボンドウエーハを薄膜化することにより作製されたSOIウエーハの表面に熱酸化膜を形成し、該熱酸化膜を除去することを特徴とする請求項6

ないし請求項9のいずれか1項に記載のSOIウエーハの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シリコン単結晶ウエーハ中にシリコン酸化膜絶縁層を形成したSOIウエーハおよびSOIウエーハの製造方法に関する。

【0002】

【従来の技術】電気的に絶縁性のあるシリコン酸化膜の上にシリコン活性層を有するいわゆるSOI (silicon on Insulator) 構造は、デバイスの高速性、低消費電力性、高耐圧性、耐環境性等に優れており、近年特に注目されている。この様なSOI構造を有するSOIウエーハの代表的な作製方法として、SIMOX (Separation by Implanted Oxygen) 法と貼り合わせ法がある。

【0003】SIMOX法は、シリコンウエーハの表面から高濃度の酸素イオン ($^{16}\text{O}^+$) を注入してウエーハ内の所定の深さに高濃度酸素イオン注入層を形成し、これを例えば1100～1300°Cの高温で数時間アニールすることにより、前記高濃度イオン注入層をSOIウエーハの埋め込み酸化膜（以下、BOXといふことがある。）となるSiO₂に変化させる技術であり、均一なSOI層の厚さが得られるという利点を有するが、SOI層の結晶性が悪くなるという問題がある。

【0004】一方、貼り合わせ法とは、2枚のシリコンウエーハをシリコン酸化膜を介して貼り合せる技術であり、例えば特公平5-46086号公報に示されている様に、少なくとも一方のウエーハに酸化膜を形成し、接合面に異物を介在させることなく相互に密着させた後、200～1200°Cの温度で熱処理して結合強度を高める方法である。熱処理を行なうことにより結合強度が高められた貼り合わせウエーハは、その後の研削研磨工程が可能となるため、素子作製側ウエーハを研削および研磨により所望の厚さに減厚加工することにより、素子形成を行なうSOI層を形成することができる。

【0005】このようにして作製された貼り合わせSOIウエーハは、SOI層の結晶性に優れ、SOI層直下に存在する埋め込み酸化膜の信頼性も高いという利点はあるが、研削および研磨により薄膜化しているため、薄膜化に時間がかかる上、材料が無駄になり、しかも膜厚均一性は高々目標膜厚±0.3μm程度しか得られなかった。このような膜厚均一性に関する貼り合わせ法の問題点を解決する薄膜化手法として、特開平5-211128号公報に開示されているような水素イオン剥離法と呼ばれる方法が開発された。

【0006】この水素イオン剥離法は、二枚のシリコンウエーハのうち少なくとも一方に酸化膜を形成するとともに、一方のシリコンウエーハの上面から水素イオンまたは希ガスイオンの少なくとも一方を注入し、該シリコ

ンウェーハ内部に微小気泡層（封入層）を形成させた後、該イオン注入面を酸化膜を介して他方のウェーハと密着させ、その後熱処理（剥離熱処理）を加えて微小気泡層を劈開面（剥離面）として一方のウェーハを薄膜状に剥離し、さらに熱処理（結合熱処理）を加えて強固に結合してSOIウェーハとする技術である。このようにして作製されたSOIウェーハ表面（剥離面）は比較的良好な鏡面となるが、通常の鏡面研磨ウェーハと同等の表面粗さを有するSOIウェーハとするためには、タッヂボリッシュと呼ばれる研磨代の極めて少ない研磨を行うことが必要となる。

【0007】この方法では、SOI層の均一性が極めて高いSOIウェーハが比較的容易に得られる上、剥離した一方のウェーハを再利用できるので、材料を有効に使用できるという利点を有する。また、この方法は、酸化膜を介さずに直接シリコンウェーハ同士を結合することもできるし、シリコンウェーハ同士を結合する場合だけでなく、シリコンウェーハにイオン注入して、石英、炭化珪素、アルミナ等の熱膨張係数の異なる絶縁性ウェーハと結合する場合にも用いられる。

【0008】ところで、前記SIMOX法により作製されたウェーハにはSOI層の結晶性の問題の他にSOI層とBOXの界面（以下、SOI/BOX界面ということがある。）の凹凸が大きく、作製されたデバイス特性にバラツキが出易いという問題もあった。この問題点を解決する方法として、特開平7-263538号公報に開示された方法によれば、界面の粗さを示すRMS値（Root Mean Square Value：自乗平均・平方根粗さ）が約2nmのものを約0.85nmに低減できることが開示されている。

【0009】これに対し貼り合わせ法で作製されたSOIウェーハについては、SOI/BOX界面の面粗さが問題とされることとはなかった。これは、貼り合わせSOIウェーハは前記のように鏡面研磨された2枚のシリコンウェーハを酸化膜を介して貼り合わせるので、SOI/BOX界面の面粗さは、使用するシリコンウェーハの表面粗さに依存し、現在の貼り合わせSOIウェーハの製造に用いられるシリコンウェーハの表面粗さのレベルはRMSで0.15nm程度であるため、これを用いて作製されたSOI/BOX界面もほぼこれと同等のレベルとなり、SIMOXに比べたら相当に優れたレベルだからである。

【0010】

【発明が解決しようとする課題】しかし、前記した水素イオン剥離法等の薄膜化技術の登場により、貼り合わせ法を用いたSOIウェーハの薄膜化と膜厚均一性が飛躍的に進歩し、100±10nmの極薄の膜厚を有するSOI層が十分に可能となった。その結果、従来は問題視されていなかったSOI層の表面やSOI/BOX界面の面粗さのレベルが0.15nm程度であっても、SOI

I層の膜厚が例えば500nm以下になるとSOIウェーハを用いて作製されるMOSデバイスの酸化膜耐圧やしきい値電圧あるいはキャリア移動度等の特性にバラツキ等が生ずるという悪影響を及ぼすことがわかった。これは、SOI層の膜厚が極めて薄膜化され、かつ均一な膜厚分布の状態で使用されるようになったので、SOI層表面の面粗さとSOI/BOX界面の面粗さが膜厚均一性に及ぼす影響を無視できなくなつたことが主な原因と考えられる。

【0011】そこで、本発明はこのような問題点に鑑みなされたもので、SOIウェーハを用いて作製されるMOSデバイスの酸化膜耐圧やしきい値電圧あるいはキャリア移動度等のデバイス特性のバラツキ等に及ぼす影響が極めて少ないSOI層表面の面粗さとSOI/BOX界面の面粗さを有するSOIウェーハとその製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】上記課題を解決するため本発明の請求項1に記載された発明は、SOIウェーハのSOI層表面の面粗さがRMS値で0.12nm以下であることを特徴とするSOIウェーハである。このように優れたSOI層表面の面粗さを有するSOIウェーハは、通常の鏡面研磨ウェーハの面粗さよりも優れたレベルであるから、SOI層表面に形成されるデバイスも、バラツキの少ない、極めて良好な酸化膜耐圧やしきい値電圧あるいはキャリア移動度等のデバイス特性を有するものとすることができます。

【0013】そして本発明の請求項2に記載した発明は、SOIウェーハのSOI層と埋め込み酸化膜との界面の面粗さがRMS値で0.12nm以下のSOIウェーハであり、この場合も請求項1と同様に極めてバラツキの少ない良好なデバイス特性が得られる。

【0014】さらに、本発明の請求項3に記載した発明は、SOIウェーハのSOI層表面の面粗さがRMS値で0.12nm以下であり、かつSOI層と埋め込み酸化膜との界面の面粗さがRMS値で0.12nm以下のSOIウェーハである。このように優れたSOI層表面の面粗さとSOI層と埋め込み酸化膜との界面の面粗さを有するSOIウェーハは、通常のSOIウェーハの面粗さや界面粗さよりも優れたレベルであるから、SOI層表面に形成されるデバイスに対してより一層効果的に作用し、バラツキの少ない、極めて良好な酸化膜耐圧やしきい値電圧あるいはキャリア移動度等のデバイス特性を有するものとすることができます。

【0015】次に、本発明の請求項4に記載した発明は、SOIウェーハを鏡面研磨した後、該表面の自然酸化膜を除去し、急速加熱・急速冷却装置を用いて水素100%あるいは水素を10%以上含有するアルゴンおよび/または窒素との混合ガス雰囲気下で熱処理を行なうことの特徴とするSOIウェーハの製造方法である。こ

のように、SOIウエーハを鏡面研磨した後、該表面の自然酸化膜を除去し、急速加熱・急速冷却装置を用いて水素アニール熱処理を行なえば、表面面粗さがRMS値で0.12nm以下にまで改善されたSOIウエーハを得ることができる。従って、このSOI層表面にデバイスを作製すれば、酸化膜耐圧、しきい値電圧あるいはキャリア移動度等のデバイス特性もバラツキの少ない極めて良好なものを得ることができる。

【0016】そして、本発明の請求項5に記載した発明は、SOIウエーハを鏡面研磨した後、該表面に300nm以上の熱酸化膜を形成し、該熱酸化膜を除去することを特徴とするSOIウエーハの製造方法である。このように、SOIウエーハを鏡面研磨した後、該表面に300nm以上の熱酸化膜を形成し、該熱酸化膜を除去することによっても、SOIウエーハの表面粗さを改善することができ、RMS値で0.12nm以下にまで向上させることができる。

【0017】次に本発明の請求項6に記載した発明は、シリコンウエーハを鏡面研磨した後、該表面の自然酸化膜を除去し、急速加熱・急速冷却装置を用いて水素100%あるいは水素を10%以上含有するアルゴンおよび/または窒素との混合ガス雰囲気下で熱処理を行なって作製したボンドウエーハと、ベースウエーハとをシリコン酸化膜を介して密着させて熱処理を加えた後、該ボンドウエーハを薄膜化することを特徴とするSOIウエーハの製造方法である。

【0018】このSOIウエーハの製造方法によれば、鏡面研磨・自然酸化膜除去・水素アニール熱処理を施して表面粗さを向上させたシリコンウエーハをボンドウエーハとして用い、酸化膜を介してベースウエーハと結合してSOIウエーハを作製しているので、結果的にボンドウエーハの表面がSOI層と埋め込み酸化膜との界面(SOI/BOX界面)になり、該界面の表面粗さが、RMS値で0.12nm以下にまで改善されたSOIウエーハを得ることができる。従って、このSOIウエーハにデバイスを形成すれば、極めて良好なデバイス特性を得ることができる。

【0019】この場合、請求項7に記載したように、前記シリコン酸化膜をボンドウエーハ表面に形成した熱酸化膜とができる。このようにボンドウエーハ表面に熱酸化膜を形成してベースウエーハと結合すれば、水素アニール熱処理による平坦化効果と熱酸化による平坦化効果との相乗効果によりSOI/BOX界面はより一層平坦なものとなり、確実にRMS値で0.12nm以下にまで向上させることができる。

【0020】そして、本発明の請求項8に記載した発明は、鏡面研磨されたシリコンウエーハからなるボンドウエーハの表面に第一の熱酸化膜を形成し、該第一の熱酸化膜を除去した後、第二の酸化膜を介して該ボンドウエーハとベースウエーハとを密着させて熱処理を加えた

後、該ボンドウエーハを薄膜化することを特徴とするSOIウエーハの製造方法である。

【0021】このSOIウエーハの製造方法によれば、鏡面研磨・第一熱酸化膜形成・第一熱酸化膜除去を施し表面粗さを向上させたシリコンウエーハをボンドウエーハとして用い、第二酸化膜を介してベースウエーハと結合してSOIウエーハを作製しているので、結果的に表面粗さが改善されたボンドウエーハの表面がSOI層と埋め込み酸化膜との界面になり、該界面の表面粗さが、RMS値で0.12nm以下にまで改善されたSOIウエーハを得ることができる。従って、このSOIウエーハにデバイスを形成すれば、極めて良好なデバイス特性を得ることができる。

【0022】この場合、請求項9に記載したように、前記第二の酸化膜を、ボンドウエーハ表面に形成した熱酸化膜とができる。このようにボンドウエーハ表面に熱酸化膜を形成してベースウエーハと結合すれば、熱酸化による平坦化効果によりSOI/BOX界面は一層平坦化され、確実にRMS値で0.12nm以下にまで向上させることができる。

【0023】次に、本発明の請求項10に記載した発明は、前記ボンドウエーハを薄膜化することにより作製されたSOIウエーハの表面の自然酸化膜を除去した後、急速加熱・急速冷却装置を用いて水素100%あるいは水素を10%以上含有するアルゴンおよび/または窒素との混合ガス雰囲気下で熱処理を行なうことを特徴とするSOIウエーハの製造方法である。

【0024】このSOIウエーハの製造方法によれば、既にSOI/BOX界面が平坦化されたSOIウエーハに対して自然酸化膜除去・水素アニール熱処理を施して表面粗さを平坦化するので、SOI/BOX界面の平坦化効果とSOIウエーハ表面粗さの平坦化効果の相乗効果により、SOI層の膜厚均一性はより一層向上したものとすると共にこのSOIウエーハにデバイスを形成すれば、極めて良好なデバイス特性を得ることができる。

【0025】そして本発明の請求項11に記載した発明は、前記ボンドウエーハを薄膜化することにより作製されたSOIウエーハの表面に熱酸化膜を形成し、該熱酸化膜を除去することを特徴とするSOIウエーハの製造方法である。

【0026】このSOIウエーハの製造方法によれば、既にSOI/BOX界面が平坦化されたSOIウエーハに対して熱酸化膜形成・熱酸化膜除去処理を施して表面粗さを平坦化するので、SOI/BOX界面の平坦化効果とSOIウエーハ表面粗さの平坦化効果の相乗効果により、SOI層の膜厚均一性はより一層向上したものとすると共にこのSOIウエーハにデバイスを形成すれば、バラツキの少ない極めて良好なデバイス特性を得ることができる。

【0027】

【発明の実施の形態】以下、本発明の実施の形態を詳細に説明するが、本発明はこれらに限定されるものではない。本発明者らは、SOIウエーハを用いて作製されるMOSデバイスの酸化膜耐圧やしきい値電圧あるいはキャリア移動度等の特性のバラツキ等に悪影響を及ぼすSOIウエーハ表面およびSOI/BOX界面の面粗さを改善するため、実験的に検討した結果、SOIウエーハ表面の面粗さについては、SOIウエーハを鏡面研磨した後、表面の自然酸化膜を除去し、RTA装置を用いて、水素100%あるいは水素を10%以上含有するアルゴンおよび/または窒素との混合ガス雰囲気下で熱処理を行なうか、SOIウエーハを鏡面研磨した後、該表面に300nm以上の熱酸化膜を形成し、該熱酸化膜を除去すれば、通常の鏡面研磨面よりも面粗さが向上することを知見した。

【0028】また、SOI/BOX界面の面粗さについては、貼り合わせSOIウエーハを作製する場合の2枚の原料ウエーハ（鏡面研磨されたシリコンウエーハ）のうち、SOI層を形成するウエーハ（ボンドウエーハ）に対し、上記2種類の工程の内のいずれかの工程を予め施してから酸化膜を介して支持体となるベースウエーハと結合し、ボンドウエーハを薄膜化してSOIウエーハに加工すれば、通常の鏡面研磨面の面粗さに比較して優れた面粗さを有するSOI/BOX界面が得られることを知見し、本発明を完成させたものである。

【0029】以下、本発明について図面を参照しながら詳細に説明する。図1は貼り合わせ法により作製したSOIウエーハ（SOI表面は鏡面研磨面）および鏡面研磨されたシリコンウエーハ（以下、PWと略記することができる）を急速加熱・急速冷却装置（RTA装置、シュティックマイクロテックインターナショナル社製SHS-2800型）を用いて、水素25容量%、アルゴン75容量%の雰囲気下、1000～1200°Cの温度で30秒の熱処理を加えた後の表面粗さを測定した結果を示す。なお、これらのウエーハは、RTA熱処理前に1%フッ酸水溶液で表面の自然酸化膜を除去したものと除去しないものの2種類を用いた。また、表面粗さ測定は原子間力顕微鏡（デジタルインスツルメント社製、Nanoscope-II）を用いて2μm角の面積で行ない、RMS値（自乗平均・平方根値）として表した。

【0030】図1より、ウエーハ表面の自然酸化膜をあらかじめ除去してからRTA装置を用いて水素を含む雰囲気で熱処理すれば、表面粗さは向上し、RMS値で0.12nm以下、条件次第では0.10nm以下とすることができることがわかる。なお、図1の×と+は、それぞれ熱処理前のSOIウエーハ表面とPW表面の表面粗さの平均値を示している。

【0031】このような現象の理由は、一般に高温の水素雰囲気下で熱処理するとSiとSiO₂はエッチング

されるが、そのエッチング速度がSiに比べてSiO₂は非常に遅いので、ウエーハ表面に自然酸化膜のような不均一な酸化膜が形成されていると、エッチングに部分的なムラが生ずるため面荒れが発生する。従って、自然酸化膜を完全に除去した状態で熱処理することにより、エッチングムラを防ぐことができるのと同時に、シリコン原子のマイグレーションにより、表面をより平坦化することができるものと考えられる。また、予め自然酸化膜を除去しておくので、1200°C以上の高温の熱処理を加えることによって自然酸化膜を除去する必要がなく、比較的低温で熱処理することができるの、スリップ転位の発生や重金属汚染等を回避することも可能となる。

【0032】図2は、RTA装置の熱処理雰囲気中の水素ガス濃度と表面粗さとの関係を表したグラフであり、表面の自然酸化膜を除去したSOIウエーハおよびPWに対して、水素とアルゴンの混合雰囲気中の水素ガス濃度を変えて1100°C、30秒のRTA熱処理を行なった後の表面粗さと水素ガス濃度との関係を示したものである。図2から熱処理後の表面粗さは水素ガス濃度が10%未満の場合は熱処理前に比べて極端に悪化するが、10%以上であれば向上していることがわかる。この理由は、熱処理雰囲気中の水素濃度が低いとウエーハ表面のSi原子のマイグレーションが発生しにくくなる一方で、マイグレーションを発生させる作用のない水素以外の混合ガス（アルゴン、窒素等）によるエッチング作用に起因した面粗れが発生し易くなることによるものと思われる。

【0033】一方、前記したような水素雰囲気下でのRTA熱処理以外の熱処理でも表面を平坦化することができるところがわかった。図3は、前記と同様のSOIウエーハおよびPWに対して、通常のヒーター加熱式の熱処理炉を用いて、1050°Cで水蒸気を含む雰囲気下で厚さの異なる熱酸化膜を形成し、その熱酸化膜を5%フッ酸水溶液で除去した後、表面粗さを前記と同様の方法で測定した結果を示す。

【0034】図3から、酸化膜厚を厚く形成するほど表面粗さが向上することがわかる。特に酸化膜厚を300nm以上にすれば、表面粗さはRMS値で約0.12nm以下にまで改善されていることがわかる。このように、表面粗さが酸化膜形成により改善される理由は、酸化により発生した格子間シリコンがウエーハ表面に注入され、表面の原子空孔を埋める作用によるものと思われる。従って、酸化膜を厚くすればするほど原子空孔が埋められるため、表面粗さが改善されるものと解釈できる。

【0035】ところで、表面粗さを向上させる前述の2種類の熱処理はいずれもウエーハの表面を対象にするものであり、貼り合わせSOIウエーハのSOI/BOX界面を対象とはしていない。しかしながら、貼り合わせ

SOIウエーハ用のボンドウエーハとして、上記の方法を用いて表面粗さを向上させたPWを用い、酸化膜を介してベースウエーハと結合することによりSOIウエーハを作製すれば、結果的に表面粗さが改善されたボンドウエーハ表面がSOI/BOX界面になるので、その界面の表面粗さが向上したSOIウエーハを得ることができ。この場合、ボンドウエーハ表面に熱酸化膜を形成してベースウエーハと結合すれば、水素雰囲気下の熱処理による平坦化の効果と熱酸化による平坦化の効果が合わさり、SOI/BOX界面は一層平坦なものとなる。

【0036】また、水素雰囲気下の熱処理による平坦化の効果と熱酸化による平坦化の効果を合わせてもさせることは、SOI/BOX界面だけでなくSOI表面にも適用できる。すなわち、鏡面研磨されたSOIウエーハを水素雰囲気で熱処理して表面を平坦化し、さらにその表面を熱酸化してその酸化膜を除去すれば、SOIウエーハ表面の表面粗さは一層向上できると共に、熱酸化と酸化膜除去を必要に応じて繰り返すことにより、表面粗さの向上だけでなく、SOI層の膜厚均一性を維持したまま更なる薄膜化も可能となる。

【0037】ここで、本発明のシリコンウエーハやSOIウエーハを水素アーチ熱処理するのに使用する熱処理装置を説明する。本発明で用いられる急速加熱・急速冷却装置(RTA装置)では、熱放射によるランプ加熱器のような装置を挙げることができる。市販されているものとしては、例えばシティックマイクロテック

インターナショナル社製、SHS-2800のような装置を挙げることができ、これらは特別複雑なものではなく、高価なものでもない。また、ヒータ加熱式の熱処理炉としては、東京エレクトロン社製の α -8のような装置を挙げることができる。

【0038】図5に、本発明で用いたシリコンウエーハ、SOIウエーハの急速加熱・急速冷却装置の一例を示す。図5の熱処理装置10は、石英からなるチャンバー1を有し、このチャンバー1内でウエーハを熱処理するようになっている。加熱は、チャンバー1を上下左右から囲繞するように配置される加熱ランプ2によって行う。このランプはそれぞれ独立に供給される電力を制御できるようになっている。

【0039】ガスの排気側は、オートシャッター3が装備され、外気を封鎖している。オートシャッター3は、ゲートバルブによって開閉可能に構成される不図示のウエーハ挿入口が設けられている。また、オートシャッター3にはガス排気口が設けられており、炉内雰囲気を調整できるようになっている。

【0040】そして、ウエーハ8は石英トレイ4に形成された3点支持部5の上に配置される。トレイ4のガス導入口側には、石英製のバッファ6が設けられており、導入ガスがウエーハ8に直接当たるのを防ぐことができるようになっている。また、チャンバー1には不図示の

温度測定用特殊窓が設けられており、チャンバー1の外部に設置されたバイロメータ7により、その特殊窓を通してウエーハ8の温度を測定することができる。

【0041】以上のような熱処理装置10によって、ウエーハ8を急速加熱・急速冷却する処理は次のように行われる。まず、熱処理装置10に隣接して配置される、不図示のウエーハハンドリング装置によってウエーハ8を挿入口からチャンバー1内に入れ、トレイ4上に配置した後、オートシャッター3を閉める。

10 【0042】そして、窒素ガスで十分バージした後、雰囲気ガスを水素100%または水素とArまたは窒素との混合ガスに切り替え、加熱ランプ2に電力を供給し、ウエーハ8を例えば1000~1300°Cの所定の温度に昇温する。この際、目的の温度になるまでに要する時間は例えば20秒程度である。次にその温度において所定時間保持することにより、ウエーハ8に高温熱処理を加えることができる。所定時間経過し高温熱処理が終了したなら、ランプの出力を下げウエーハの温度を下げる。この降温も例えば20秒程度で行うことができる。

20 最後に、ウエーハハンドリング装置によってウエーハを取り出すことにより、水素アーチ熱処理を完了する。

【0043】さらに熱処理するウエーハがある場合には、次々にウエーハを投入して連続的にRTA処理をすることができる。また、RTA装置を用いて熱酸化処理をする場合は、処理温度、処理ガス雰囲気等を変更すればよい。

【0044】

【実施例】以下、本発明の実施例と比較例を挙げて説明するが、本発明はこれらに限定されるものではない。

30 【実施例および比較例】直径が200mmで片面が鏡面研磨されたシリコンウエーハ(PW)をボンドウエーハ用とベースウエーハ用に6枚ずつ用意し、これら12枚のウエーハを用いて図4の製造工程に従い、6組の貼り合わせSOIウエーハを作製した。

【0045】図4のフロー図における各工程の詳細な製造条件は下記の通りである。

【1】ボンドウエーハ熱処理工程、
1%フッ酸水溶液により自然酸化膜を除去したボンドウエーハに対して、下記(a)または(b)の工程を行なう。

(a) RTA装置(SHS-2800)を使用し、水素25容量%、アルゴン75容量%の雰囲気下、1100°C、30秒間の熱処理を行う。

(b) ヒーター加熱式の熱処理炉にて、水蒸気含有雰囲気下、1050°Cで熱処理し、約300nmの熱酸化膜を形成後、5%HF水溶液により熱酸化膜を除去する。

【0046】【2】水素イオン注入工程、
水素イオン注入前の酸化膜厚(埋め込み酸化膜厚)：100nmの熱酸化膜を形成する。

50 水素イオン注入条件(剥離層の形成)：H⁺イオン、4

11

5 keV, 8×10^{16} atoms/cm²。

[3] 剥離熱処理工程、

窒素雰囲気下、500°C、30分間の熱処理を行う。

[4] 結合熱処理工程、

窒素雰囲気下、1100°C、120分間の熱処理を施す。

[5] タッチボリッシュ工程、

研磨代: 約10 nm。

これにより、SOI層が、280±5 nmの膜厚と面内バラツキを有するSOIウェーハが作製される。

[6] SOI層熱処理工程、

(a) RTA装置(SHS-2800)を用い、水素25容量%、アルゴン75容量%の雰囲気下、1100°C、30秒間の熱処理を行う。

(b) ヒーター加熱式の熱処理炉にて、水蒸気含有雰囲気下、1050°Cで熱処理し、約300 nmの熱酸化膜*

12

*を形成後、5%HF水溶液により熱酸化膜を除去する。

【0047】図4のSOIウェーハの製造工程において、ボンドウェーハ熱処理とSOI熱処理の組み合わせを表1に記載したように設定することで、製造条件の異なる6組のSOIウェーハ(実施例1~5、比較例1)を作製した。そして、これらのSOIウェーハのSOI層の表面粗さとSOI/BOX界面粗さ(2 μm角のRMS値)をAFM(原子間力顕微鏡)により測定した結果を表1に示した。なお、SOI/BOX界面粗さの測定は、SOI層をTMAH(テトラメチルアンモニウムハイドライド)溶液によりエッティング除去した後、露出したBOX面の表面粗さを測定することにより評価した。

【0048】

【表1】

項目	実施例					比較例 1
	1	2	3	4	5	
ボンドウェーハ 熱処理	なし	(a)	(a)	(b)	(b)	なし
SOI熱処理	(b)	(a)	(b)	(a)	(b)	なし
SOI/BOX 界面粗さ (nm)	0.133	0.095	0.097	0.115	0.113	0.135
SOI 表面粗さ (nm)	0.097	0.101	0.120	0.106	0.118	0.145

【註】(a) RTA装置(SHS-2800)を使用し、水素25容量%、アルゴン75容量%の雰囲気下、1100°C、30秒間の熱処理を行う。

(b) ヒーター加熱式の熱処理炉にて、水蒸気含有雰囲気下、1050°Cで熱処理し、約300 nmの熱酸化膜を形成後、5%HF水溶液により熱酸化膜を除去する。

【0049】表1のSOI層表面粗さとSOI/BOX界面粗さの結果から、本発明によれば、SOI層表面粗さおよび/またはSOI/BOX界面粗さがRMS値で0.12 nm以下となるSOIウェーハを得ることができることがわかる。すなわちMOSデバイス用SOIウェーハとして、MOSデバイスの酸化膜耐圧やしきい値電圧あるいはキャリア移動度等の特性のバラツキ等を極めて少なくすることができるSOIウェーハとその製造方法を提供することができる。

【0050】なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は、例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

【0051】例えば、本発明の実施形態では、直径200 mm(8インチ)のシリコン単結晶ウェーハからSOIウェーハを製造しているが、近年の250 mm(10インチ)~400 mm(16インチ)あるいはそれ以上の大直径化にも十分対応することができる。また、上記

では、RTA熱処理あるいは酸化膜の形成除去をボンドウェーハにのみ行う場合を例示したが、ベースウェーハにも行ってよい。

【0052】

【発明の効果】以上詳述したように、本発明によれば、SOIウェーハの表面粗さおよび/またはSOI/BOX界面粗さがRMS値で0.12 nm以下となる高品質のSOIウェーハを容易に低成本で作製することができる。従って、本発明のSOIウェーハを用いてMOSデバイスを作製すれば、酸化膜耐圧、しきい値電圧あるいはキャリア移動度等のデバイス特性のバラツキ等が極めて少ない高品質のMOSデバイスを提供することができる。

【図面の簡単な説明】

【図1】水素アーチ熱処理における熱処理温度と表面粗さの関係を示した結果図である。

【図2】水素アーチ熱処理における水素ガス濃度と表面粗さの関係を示した結果図である。

【図3】熱酸化膜厚と表面粗さの関係を示した結果図で

ある。

【図4】本発明のSOIウェーハの製造工程の一例を示すフロー図である。

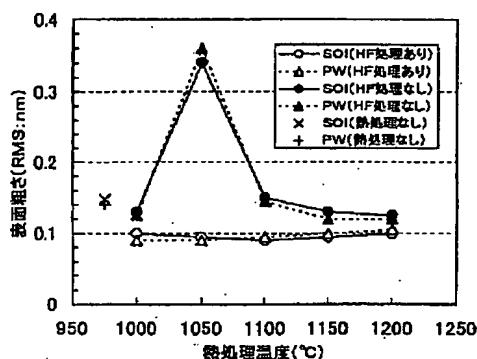
【図5】本発明で使用する急速加熱・急速冷却装置の一例を示す概略図である。

*

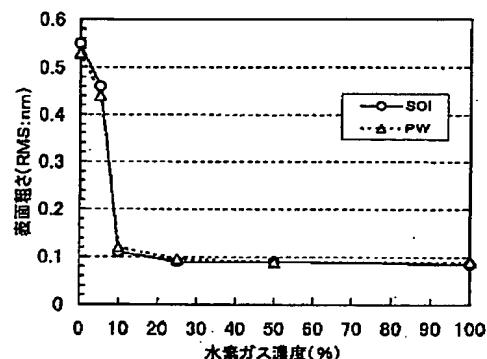
*【符号の説明】

1…チャンバー、2…加熱ランプ、3…オートシャッター、4…石英トレイ、5…3点支持部、6…バッファ、7…バイロメータ、8…ウェーハ、10…熱処理装置。

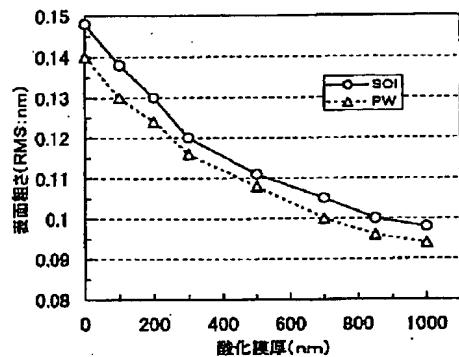
【図1】



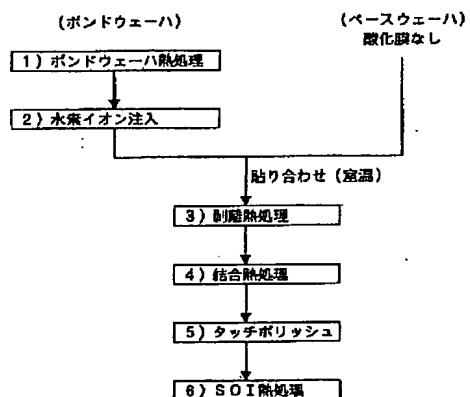
【図2】



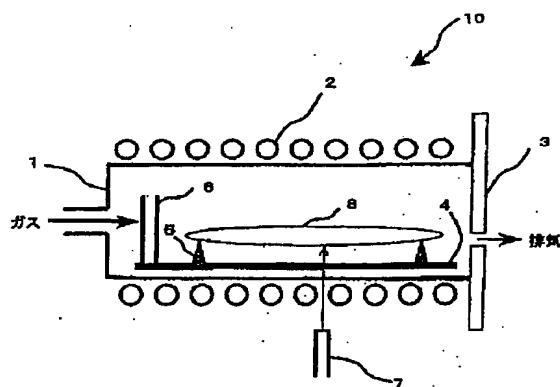
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 小林 徳弘
群馬県安中市磯部2丁目13番1号 信越半
導体株式会社半導体磯部研究所内

(72)発明者 秋山 昌次
群馬県安中市磯部2丁目13番1号 信越半
導体株式会社半導体磯部研究所内

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-294470
 (43)Date of publication of application : 20.10.2000

(51)Int.CI. H01L 21/02
 H01L 21/26
 H01L 27/12

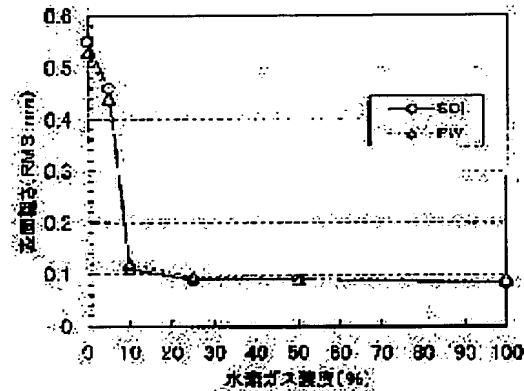
(21)Application number : 11-102698 (71)Applicant : SHIN ETSU HANDOTAI CO LTD
 (22)Date of filing : 09.04.1999 (72)Inventor : TAKAHATA JUNICHIRO
 MITANI KIYOSHI
 KOBAYASHI NORIHIRO
 AKIYAMA SHOJI

(54) SOI WAFER AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a high-quality SOI wafer whose SOI layer and SOI/BOX boundary have such surface roughness that give extremely small affects on the breakdown voltage or threshold voltage of the oxide film of a MOS device manufactured, by using the SOI wafer or the variation of such a characteristic as the carrier mobility, etc., of the MOS device.

SOLUTION: The surface roughness of the SOI layer of an SOI wafer is adjusted to ≤ 0.12 nm RMS and/or the surface roughness of the boundary between the SOI layer and a buried oxide film is adjusted to ≤ 0.12 nm RMS. In a method for manufacturing an SOI wafer, after the surface of the SOI wafer is polished to a mirror face, the natural oxide film formed on the surface of the wafer is removed or a thermally oxide film having a thickness of ≥ 300 nm is formed on the surface of the wafer and removed, and the wafer is heat-treated in an atmosphere containing 10% hydrogen or argon containing $\geq 10\%$ hydrogen and/or a mixed gas atmosphere containing the argon and nitrogen by using a quick heating/quenching device.



LEGAL STATUS

[Date of request for examination] 09.01.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS**[Claim(s)]**

[Claim 1] The SOI wafer characterized by the field granularity of the SOI layer front face of a SOI wafer being 0.12nm or less in an RMS value.

[Claim 2] The SOI wafer which embeds with the SOI layer of a SOI wafer and is characterized by the field granularity of an interface with an oxide film being 0.12nm or less in an RMS value.

[Claim 3] The SOI wafer which the field granularity of the SOI layer front face of a SOI wafer is 0.12nm or less in an RMS value, and embeds with a SOI layer and is characterized by the field granularity of an interface with an oxide film being 0.12nm or less in an RMS value.

[Claim 4] The manufacture approach of the SOI wafer characterized by heat-treating under a mixed-gas ambient atmosphere with the argon and/or nitrogen which remove the natural oxidation film of this front face, and contain 100% of hydrogen, and hydrogen 10% or more using rapid heating and quick cooling equipment after carrying out mirror polishing of the SOI wafer.

[Claim 5] The manufacture approach of the SOI wafer characterized by forming the thermal oxidation film 300nm or more in this front face, and removing this thermal oxidation film after carrying out mirror polishing of the SOI wafer.

[Claim 6] The manufacture approach of the SOI wafer characterized by to thin-film-ize this bond wafer after removing the natural oxidation film of this front face, sticking the bond wafer heat-treated and produced and a base wafer through silicon oxide under a mixed-gas ambient atmosphere with the argon and/or nitrogen which contain 100% of hydrogen, and hydrogen 10% or more using rapid heating and quick cooling equipment after carrying out mirror polishing of the silicon wafer, and adding heat treatment.

[Claim 7] Said silicon oxide is the manufacture approach of the SOI wafer indicated to claim 6 characterized by being the thermal oxidation film formed in the bond wafer front face.

[Claim 8] The manufacture approach of the SOI wafer characterized by thin-film-izing this bond wafer after sticking this bond wafer and a base wafer through the second oxide film after forming the first thermal oxidation film in the front face of the bond wafer which consists of a silicon wafer by which mirror polishing was carried out and removing the thermal oxidation film of this first, and adding heat treatment.

[Claim 9] Said second oxide film is the manufacture approach of the SOI wafer according to claim 8 characterized by forming the thermal oxidation film in a bond wafer front face.

[Claim 10] The manufacture approach of a SOI wafer given in any 1 term of claim 6 characterized by heat-treating under a mixed-gas ambient atmosphere with the argon and/or nitrogen which contain 100% of hydrogen, and hydrogen 10% or more using rapid heating and quick cooling equipment after removing the natural oxidation film of the front face of the SOI wafer produced by thin-film-izing said bond wafer thru/or claim 9.

[Claim 11] The manufacture approach of a SOI wafer given in any 1 term of claim 6 characterized by forming the thermal oxidation film in the front face of the SOI wafer produced by thin-film-izing said bond wafer, and removing this thermal oxidation film thru/or claim 9.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of the SOI wafer in which the silicon oxide insulating layer was formed into the silicon single crystal wafer, and a SOI wafer.

[0002]

[Description of the Prior Art] The so-called SOI (silicon on Insulator) structure of having a silicon barrier layer on the silicon oxide which is electrically insulating is excellent in the rapidity of a device, low-power nature, high pressure resistance, a resistance to environment, etc., and attracts attention especially in recent years. as the typical production approach of a SOI wafer of having such SOI structure -- SIMOX (Separation by Implanted Oxygen) -- there are law and a lamination method.

[0003] The SIMOX method pours in high-concentration oxygen ion ($16O+$) from the front face of a silicon wafer, and forms a high concentration oxygen ion-implantation layer in the predetermined depth in a wafer. By annealing this at a 1100-1300-degree C elevated temperature for several hours, it is the embedding oxide film (it may be hereafter called BOX) of a SOI wafer about said high concentration ion-implantation layer. Becoming SiO_2 Although it is the technique of making it changing and has the advantage that the thickness of a uniform SOI layer is obtained, there is a problem that the crystallinity of a SOI layer worsens.

[0004] After making it stick mutually as a lamination method is a technique which sticks two silicon wafers through silicon oxide on the other hand, for example, it is shown in JP,5-46086,B, without forming an oxide film in one [at least] wafer, and making a foreign matter placed between planes of composition, it is the approach of heat-treating at the temperature of 200-1200 degrees C, and raising bond strength. Since the subsequent grinding polish process of the lamination wafer with which bond strength was raised by heat-treating becomes possible, it can form the SOI layer which performs component formation by carrying out thinning processing of the component production side wafer by grinding and polish at desired thickness.

[0005] thus, an ingredient when thin film-ization takes time amount since it has thin-film-ized by grinding and polish although there is an advantage that the dependability of the embedding oxide film which is excellent in the crystallinity of a SOI layer and exists directly under a SOI layer of the produced lamination SOI wafer is high -- useless -- becoming -- moreover -- thickness homogeneity -- at most -- only about **0.3 micrometers only of target thickness were obtained. The approach called the hydrogen ion exfoliating method which is indicated by JP,5-211128,A as the thin film-ized technique which solves the trouble of the lamination method about such thickness homogeneity was developed.

[0006] While this hydrogen ion exfoliating method forms an oxide film at least in one side among two silicon wafers Either [at least] a hydrogen ion or rare gas ion is poured in from the top face of one silicon wafer. After making a minute air-bubbles layer (enclosure layer) form in the interior of this silicon wafer, this ion-implantation side is stuck with the wafer of another side through an oxide film. It is the technique which adds the postheat treatment (exfoliation heat treatment), exfoliates one wafer in the shape of a thin film by making a minute air-bubbles layer into a cleavage plane (stripped plane), adds heat treatment (heat-of-linkage processing) further, combines firmly, and is used as a SOI wafer. Thus, although the produced SOI wafer front face (stripped plane) turns into a comparatively good mirror plane, in order to consider as the SOI wafer which has surface roughness equivalent to the usual mirror-polishing wafer, it is necessary to perform very little polish of the polish cost called a touch polish.

[0007] By this approach, when a SOI wafer with the very high homogeneity of a SOI layer is obtained

comparatively easily, while exfoliated, and since a wafer is reusable, it has the advantage that an ingredient can be used effectively. Moreover, this approach can also combine direct silicon wafers, without minding an oxide film, and not only when combining silicon wafers, but when combining with the insulating wafer with which an ion implantation is carried out to a silicon wafer, and the coefficients of thermal expansion of a quartz, silicon carbide, an alumina, etc. differ, it is used.

[0008] by the way, said SIMOX -- the irregularity of the interface (it may be hereafter called a SOI/BOX interface) of a SOI layer and BOX other than the crystalline problem of a SOI layer was large to the wafer produced by law, and there was also a problem of being easy to come to the produced device property out of variation in it. According to the approach indicated by JP,7-263538,A, as an approach of solving this trouble, it is indicated that that whose RMS value (Root MeanSquare Value: a root mean square and square root granularity) which shows the granularity of an interface is about 2nm can be reduced to about 0.85nm.

[0009] On the other hand, field granularity of a SOI/BOX interface was not made into the problem about the SOI wafer produced by the lamination method. Since a lamination SOI wafer sticks two silicon wafers by which mirror polishing was carried out as mentioned above through an oxide film, this the field granularity of SOI / BOX interface Since the level of the surface roughness of the silicon wafer used for manufacture of a current lamination SOI wafer depending on the surface roughness of the silicon wafer to be used is about 0.15nm in RMS, It is because it is the fairly excellent level when the SOI/BOX interface produced using this also serves as level almost equivalent to this and is compared with SIMOX.

[0010]

[Problem(s) to be Solved by the Invention] However, by the appearance of thin film-ized techniques, such as the above mentioned hydrogen ion exfoliating method, thin-film-izing and thickness homogeneity of the SOI wafer using a lamination method progressed by leaps and bounds, and the SOI layer which has $100^{**}10$ nm ultra-thin thickness became possible enough. Consequently, even if the level of the field granularity of the front face of a SOI layer, or a SOI / BOX interface which was not regarded as questionable was about 0.15nm conventionally, when the thickness of a SOI layer was set to 500nm or less, it turned out that it has the bad influence that variation etc. arises on properties, such as oxide film pressure-proofing and the threshold electrical potential difference of the MOS device produced using a SOI wafer, or carrier mobility. Since thickness of a SOI layer is thin-film-ized extremely and this came to be used in the state of uniform thickness distribution, it is considered to be the causes with main it having become impossible to disregard the effect the field granularity of a SOI layer front face and the field granularity of a SOI/BOX interface affect thickness homogeneity.

[0011] Then, this invention was made in view of such a trouble, and aims at offering the SOI wafer with which the effect affect the variation in device properties, such as oxide film pressure-proofing and the threshold electrical potential difference of the MOS device produced using a SOI wafer, or ** carrier mobility, etc. has the field granularity of very few SOI layer front faces, and the field granularity of a SOI/BOX interface, and its manufacture approach.

[0012]

[Means for Solving the Problem] Invention indicated by claim 1 of this invention in order to solve the above-mentioned technical problem is a SOI wafer with which field granularity of the SOI layer front face of a SOI wafer is characterized by being 0.12nm or less with an RMS value. Thus, the device formed in a SOI layer front face since the SOI wafer which has the outstanding field granularity of a SOI layer front face is the level superior to the field granularity of the usual mirror-polishing wafer shall also have device properties, such as few very good oxide film pressure-proofing and threshold electrical potential differences, or carrier mobility of variation.

[0013] And invention indicated to claim 2 of this invention embeds with the SOI layer of a SOI wafer, the field granularity of an interface with an oxide film is a SOI wafer 0.12nm or less in an RMS value, and a good device property with very little variation is acquired like claim 1 also in this case.

[0014] Furthermore, the field granularity of the SOI layer front face of a SOI wafer is 0.12nm or less in an RMS value, and invention indicated to claim 3 of this invention is embedded with a SOI layer, and the field granularity of an interface with an oxide film is a SOI wafer 0.12nm or less in an RMS value. Thus, since the SOI wafer which embeds with the outstanding field granularity of a SOI layer front face and a SOI layer, and has the field granularity of an interface with an oxide film is the level superior to the usual field granularity and

the interface granularity of a SOI wafer, it shall act much more effectively to the device formed in a SOI layer front face, and shall have device properties, such as very good oxide-film pressure-proofing and a threshold electrical potential difference with little variation, or carrier mobility.

[0015] Next, invention indicated to claim 4 of this invention is the manufacture approach of the SOI wafer characterized by heat-treating under a mixed-gas ambient atmosphere with the argon and/or nitrogen which remove the natural oxidation film of this front face, and contain 100% of hydrogen, and hydrogen 10% or more using rapid heating and quick cooling equipment, after carrying out mirror polishing of the SOI wafer. Thus, if the natural oxidation film of this front face is removed and hydrogen annealing heat treatment is performed using rapid heating and quick cooling equipment after carrying out mirror polishing of the SOI wafer, surface side granularity can obtain the SOI wafer improved by 0.12nm or less with the RMS value. Therefore, if a device is produced on this SOI layer front face, device properties, such as oxide film pressure-proofing, a threshold electrical potential difference, or carrier mobility, can also obtain few very good things of variation.

[0016] And invention indicated to claim 5 of this invention is the manufacture approach of the SOI wafer characterized by forming the thermal oxidation film 300nm or more in this front face, and removing this thermal oxidation film, after carrying out mirror polishing of the SOI wafer. Thus, after carrying out mirror polishing of the SOI wafer, also by forming the thermal oxidation film 300nm or more in this front face, and removing this thermal oxidation film, the surface roughness of a SOI wafer can be improved and 0.12nm or less can be raised with an RMS value.

[0017] Next, after invention indicated to claim 6 of this invention carries out mirror polishing of the silicon wafer, The bond wafer heat-treated and produced under the mixed-gas ambient atmosphere with the argon and/or nitrogen which remove the natural oxidation film of this front face, and contain 100% of hydrogen, and hydrogen 10% or more using rapid heating and quick cooling equipment, After sticking a base wafer through silicon oxide and adding heat treatment, it is the manufacture approach of the SOI wafer characterized by thin-film-izing this bond wafer.

[0018] According to the manufacture approach of this SOI wafer, the silicon wafer which performed mirror polishing, natural oxidation film removal, and hydrogen annealing heat treatment, and raised surface roughness is used as a bond wafer. Since it combines with a base wafer through an oxide film and the SOI wafer is produced As a result, the front face of a bond wafer embeds with a SOI layer, and turns into an interface (SOI/BOX interface) with an oxide film, and the surface roughness of this interface can obtain the SOI wafer improved by 0.12nm or less with the RMS value. Therefore, if a device is formed in this SOI wafer, a very good device property can be acquired.

[0019] In this case, as indicated to claim 7, it can consider as the thermal oxidation film in which said silicon oxide was formed on the bond wafer front face. Thus, if the thermal oxidation film is formed in a bond wafer front face and it combines with a base wafer, SOI / BOX interface will be able to become much more flat according to the synergistic effect of the flattening effectiveness by hydrogen annealing heat treatment, and the flattening effectiveness by thermal oxidation, and 0.12nm or less can be certainly raised with an RMS value.

[0020] And after it sticks this bond wafer and a base wafer through the second oxide film after invention indicated to claim 8 of this invention forms the first thermal oxidation film in the front face of the bond wafer which consists of a silicon wafer by which mirror polishing was carried out and removes the thermal oxidation film of this first, and it adds heat treatment, it is the manufacture approach of the SOI wafer characterized by thin-film-izing this bond wafer.

[0021] According to the manufacture approach of this SOI wafer, the silicon wafer which performed the mirror polishing and first thermal oxidation film formation / first thermal oxidation film removal, and raised surface roughness is used as a bond wafer. Since it combines with a base wafer through the second oxide film and the SOI wafer is produced The front face of the bond wafer with which surface roughness has been improved as a result embeds with a SOI layer, and turns into an interface with an oxide film, and the surface roughness of this interface can obtain the SOI wafer improved by 0.12nm or less with the RMS value. Therefore, if a device is formed in this SOI wafer, a very good device property can be acquired.

[0022] In this case, as indicated to claim 9, said second oxide film can be used as the thermal oxidation film formed in the bond wafer front face. Thus, if the thermal oxidation film is formed in a bond wafer front face and it combines with a base wafer, flattening of SOI / the BOX interface is further carried out by the flattening effectiveness by thermal oxidation, and it can raise 0.12nm or less with an RMS value certainly according to it.

[0023] Next, invention indicated to claim 10 of this invention is the manufacture approach of the SOI wafer characterized by heat-treating under a mixed-gas ambient atmosphere with the argon and/or nitrogen which contain 100% of hydrogen, and hydrogen 10% or more using rapid heating and quick cooling equipment, after removing the natural oxidation film of the front face of the SOI wafer produced by thin-film-izing said bond wafer.

[0024] Since according to the manufacture approach of this SOI wafer a SOI/BOX interface performs natural oxidation film removal and hydrogen annealing heat treatment to the SOI wafer by which flattening was carried out and already carries out flattening of the surface roughness According to the flattening effectiveness of a SOI/BOX interface, and the synergistic effect of the flattening effectiveness of SOI wafer surface roughness, if a device is formed in this SOI wafer while the thickness homogeneity of a SOI layer should improve further, it can acquire a very good device property.

[0025] And invention indicated to claim 11 of this invention is the manufacture approach of the SOI wafer characterized by forming the thermal oxidation film in the front face of the SOI wafer produced by thin-film-izing said bond wafer, and removing this thermal oxidation film.

[0026] Since according to the manufacture approach of this SOI wafer a SOI/BOX interface performs thermal oxidation film formation / thermal oxidation film removal processing to the SOI wafer by which flattening was carried out and already carries out flattening of the surface roughness According to the flattening effectiveness of a SOI/BOX interface, and the synergistic effect of the flattening effectiveness of SOI wafer surface roughness If a device is formed in this SOI wafer while the thickness homogeneity of a SOI layer should improve further, it can acquire a very good device property with little variation.

[0027]

[Embodiment of the Invention] Hereafter, although the gestalt of operation of this invention is explained to a detail, this invention is not limited to these. The result experimentally examined in order that this invention persons might improve the field granularity of the SOI wafer front face which has a bad influence on the variation in properties, such as oxide film pressure-proofing and the threshold electrical potential difference of the MOS device produced using a SOI wafer, or carrier mobility, etc., and a SOI/BOX interface, After carrying out mirror polishing of the SOI wafer about the field coarseness of a SOI wafer front face, Remove the surface natural oxidation film and using RTA equipment [whether it heat-treats under a mixed-gas ambient atmosphere with the argon and/or nitrogen which contain 100% of hydrogen, and hydrogen 10% or more, and] After carrying out mirror polishing of the SOI wafer, when forming the thermal oxidation film 300nm or more in this front face and removing this thermal oxidation film, the knowledge of field granularity improving rather than the usual mirror-polishing side was carried out.

[0028] moreover, about the field coarseness of a SOI/BOX interface The inside of two raw material wafers in the case of producing a lamination SOI wafer (silicon wafer by which mirror polishing was carried out), It combines with the base wafer which serves as a base material through an oxide film after giving beforehand the process of either of the two above-mentioned kinds of processes to the wafer (bond wafer) which forms a SOI layer. If a bond wafer is thin-film-ized and is processed into a SOI wafer, the knowledge of the SOI/BOX interface which has the field granularity which was excellent as compared with the field granularity of the usual mirror-polishing side being acquired will be carried out, and this invention will be completed.

[0029] Hereafter, it explains to a detail, referring to a drawing about this invention. The SOI wafer (a SOI front face is a mirror-polishing side) and the silicon wafer by which mirror polishing was carried out which produced drawing 1 by the lamination method They are rapid heating and quick cooling equipment (RTA equipment) about (it may be hereafter written as PW). SHUTIACKU MICRO-TEC The result of having measured the surface roughness after adding heat treatment for 30 seconds at the temperature of 1000-1200 degrees C is shown using SHS[by the international company]-2800 mold under the ambient atmosphere of hydrogen 25 capacity % and argon 75 capacity %. In addition, two kinds were used for them although these wafers were not removed with what removed the surface natural oxidation film in the fluoric acid water solution 1% before RTA heat treatment. Moreover, surface roughness measurement was performed in the area of 2-micrometer angle using the atomic force microscope (digital instrument company make, Nanoscope-II), and it expressed as an RMS value (a root mean square and square root value).

[0030] If it heat-treats in the ambient atmosphere which contains hydrogen using RTA equipment after removing beforehand the natural oxidation film on the front face of a wafer from drawing 1 , it turns out that

surface roughness can improve and it can be referred to as 0.10nm or less with an RMS value according to 0.12nm or less and conditions. In addition, x and + of drawing 1 show the average of the surface roughness on the SOI wafer front face before heat treatment, and the front face of PW, respectively.

[0031] The reason of such a phenomenon is Si and SiO₂, when it generally heat-treats under a hot hydrogen ambient atmosphere. Although etched, the etch rate compares with Si, and it is SiO₂. Since it is very late, if an uneven oxide film like the natural oxidation film is formed in the wafer front face, since partial nonuniformity arises in etching, a field dry area will occur. Therefore, it is thought by heat-treating the natural oxidation film in the condition of having removed completely that flattening of the front face can be carried out more to that etching nonuniformity can be prevented and coincidence by the migration of a silicon atom. Moreover, since it is not necessary to remove the natural oxidation film and can heat-treat at low temperature comparatively by adding hot heat treatment of 1200 degrees C or more since the natural oxidation film is removed beforehand, it also becomes possible to avoid generating, heavy metal contamination, etc. of a slip rearrangement.

[0032] Drawing 2 is a graph showing the relation between the hydrogen gas concentration in the heat treatment ambient atmosphere of RTA equipment, and surface roughness, and shows the relation between the surface roughness after changing the hydrogen gas concentration in the mixed ambient atmosphere of hydrogen and an argon and performing 1100 degrees C and RTA heat treatment for 30 seconds to the SOI wafer from which the surface natural oxidation film was removed, and PW, and hydrogen gas concentration. Although the surface roughness after heat treatment gets worse extremely compared with heat treatment before from drawing 2 when hydrogen gas concentration is less than 10%, it turns out that it will improve if it is 10% or more. It is thought that it is because ***** resulting from the etching operation by mixed gas other than hydrogen without the operation which generates migration (an argon, nitrogen, etc.) becomes easy to generate this reason while it will be hard coming to generate the migration of Si atom on the front face of a wafer, if the hydrogen concentration in a heat treatment ambient atmosphere is low.

[0033] On the other hand, it turned out that heat treatments other than RTA heat treatment under a hydrogen ambient atmosphere which was described above can also carry out flattening of the front face. After drawing 3 forms the thermal oxidation film with which thickness differs under the ambient atmosphere which contains a steam at 1050 degrees C to the same SOI wafer and same PW as the above using the heat treating furnace of the usual heater heating type and removes the thermal oxidation film in a fluoric acid water solution 5%, it shows the result of having measured surface roughness by the same approach as the above.

[0034] Drawing 3 shows that surface roughness improves, so that oxide-film thickness is formed thickly. If especially oxide-film thickness is set to 300nm or more, it turns out that surface roughness is improved by about 0.12nm or less with the RMS value. Thus, the reason surface roughness is improved by oxide-film formation is considered to be based on the operation in which the silicon between grids generated by oxidation is injected into a wafer front face, and fills a surface atomic hole. Therefore, since an atomic hole is filled the more the more it thickens an oxide film, it can be interpreted as that by which surface roughness is improved.

[0035] By the way, two kinds of no above-mentioned heat treatments which raise surface roughness have targeted the front face of a wafer the SOI/BOX interface of a lamination SOI wafer. However, if a SOI wafer is produced by combining with a base wafer through an oxide film using PW which raised surface roughness as a bond wafer for lamination SOI wafers using the above-mentioned approach, since the bond wafer front face where surface roughness has been improved as a result will turn into a SOI/BOX interface, the SOI wafer whose surface roughness of the interface improved can be obtained. In this case, if the thermal oxidation film is formed in a bond wafer front face and it combines with a base wafer, the effectiveness of flattening by heat treatment under a hydrogen ambient atmosphere and the effectiveness of flattening by thermal oxidation will be put together, and a SOI/BOX interface will become much more flat.

[0036] Moreover, it is applicable not only to a SOI/BOX interface but a SOI front face to double and give the effectiveness of flattening by heat treatment under a hydrogen ambient atmosphere and the effectiveness of flattening by thermal oxidation. That is, if heat-treat the SOI wafer by which mirror polishing was carried out in a hydrogen ambient atmosphere, flattening of the front face is carried out, the front face is further oxidized thermally and the oxide film is removed, while the surface roughness of a SOI wafer front face can improve further, the further thin film-ization of it will also be attained by repeating thermal oxidation and oxide-film removal if needed, with the thickness homogeneity of not only the improvement in surface roughness but a SOI layer maintained.

[0037] Here, the thermal treatment equipment which uses the silicon wafer and SOI wafer of this invention for carrying out hydrogen annealing heat treatment is explained. The rapid heating and quick cooling equipment (RTA equipment) ** used by this invention can mention equipment like the lamp heater by thermal radiation. As what is marketed, it is SHUTIAKKU, for example. MICRO-TEC International company make and equipment like SHS-2800 can be mentioned, and these are not extraordinarily complicated and expensive, either. Moreover, as a heat treating furnace of a heater heating type, equipment like alpha-8 by Tokyo Electron, Ltd. can be mentioned.

[0038] An example of the rapid heating and quick cooling equipment of the silicon wafer used for drawing 5 by this invention and a SOI wafer is shown. The thermal treatment equipment 10 of drawing 5 has the chamber 1 which consists of a quartz, and heat-treats a wafer within this chamber 1. The heat lamp 2 arranged so that a chamber 1 may be surrounded from four directions performs heating. This lamp can control now the power supplied independently, respectively.

[0039] The auto shutter 3 was equipped and the exhaust side of gas has blocked the open air. Wafer insertion opening which is not illustrated [which the auto shutter 3 consists of possible / closing motion / with a gate valve] is prepared. Moreover, flueing opening is prepared in the auto shutter 3, and a furnace atmosphere can be adjusted now.

[0040] And a wafer 8 is arranged on the three-point supporter 5 formed in the quartz tray 4. The buffer 6 made from a quartz is formed in the gas inlet side of a tray 4, and introductory gas can prevent that of direct this slack now to a wafer 8. Moreover, the non-illustrated special aperture for thermometries is prepared in the chamber 1, and the temperature of a wafer 8 can be measured through the special aperture by the pyrometer 7 installed in the exterior of a chamber 1.

[0041] Rapid heating and processing which cools quickly are performed as follows in a wafer 8 by the above thermal treatment equipments 10. First, after putting in a wafer 8 in a chamber 1 from insertion opening and arranging on a tray 4 with the non-illustrated wafer handling device which adjoins a thermal treatment equipment 10 and is arranged, the auto shutter 3 is shut.

[0042] And after purging enough with nitrogen gas, a controlled atmosphere is changed to mixed gas with 100% of hydrogen, hydrogen, Ar, or nitrogen, power is supplied to a heat lamp 2, and the temperature up of the wafer 8 is carried out to the predetermined temperature of 1000-1300 degrees C. Under the present circumstances, the time amount taken to become the target temperature is about 20 seconds. Next, by carrying out predetermined time maintenance in the temperature, elevated-temperature heat treatment can be added to a wafer 8. If predetermined time progress is carried out and elevated-temperature heat treatment is completed, the output of a lamp will be lowered and the temperature of a wafer will be lowered. This temperature fall can also be performed in about 20 seconds. Finally, hydrogen annealing heat treatment is completed by taking out a wafer with a wafer handling device.

[0043] When there is a wafer furthermore heat-treated, a wafer can be thrown in one after another and RTA processing can be carried out continuously. Moreover, what is necessary is just to change processing temperature, a raw gas ambient atmosphere, etc., when carrying out thermal oxidation processing using RTA equipment.

[0044]

[Example] Hereafter, although the example and the example of a comparison of this invention are given and explained, this invention is not limited to these.

(An example and example of a comparison) The diameter prepared for the object for bond wafers, and base wafers at a time six silicon wafers (PW) with which mirror polishing of one side was carried out by 200mm, and produced 6 sets of lamination SOI wafers according to the production process of drawing 4 using these 12 wafers.

[0045] The detailed manufacture conditions of each process in the flow Fig. of drawing 4 are as follows.

[1] Perform the process of following (a) or (b) to a bond wafer heat treatment process and the bond wafer from which the natural oxidation film was removed with the fluoric acid water solution 1%.

(a) Use RTA equipment (SHS-2800) and perform 1100 degrees C and heat treatment for 30 seconds under the ambient atmosphere of hydrogen 25 capacity % and argon 75 capacity %.

(b) With the heat treating furnace of a heater heating type, heat-treat at 1050 degrees C under a steam content ambient atmosphere, and HF water solution removes the thermal oxidation film 5% after forming about 300nm

thermal oxidation film.

[0046] [2] A hydrogen ion impregnation process, oxide-film thickness before hydrogen ion impregnation (embedding oxide-film thickness) : form the 100nm thermal oxidation film.

Hydrogen-ion impregnation conditions (formation of stratum disjunctum): H⁺ Ion, 45keV, and 8x10¹⁶ atoms/cm².

[3] Perform 500 degrees C and heat treatment for 30 minutes under an exfoliation heat treatment process and nitrogen-gas-atmosphere mind.

[4] Perform 1100 degrees C and heat treatment for 120 minutes under heat-of-linkage down stream processing and nitrogen-gas-atmosphere mind.

[5] A touch polish process, polish cost : about 10nm.

Thereby, the SOI wafer with which a SOI layer has 280**5nm thickness and the variation within a field is produced.

[6] Perform 1100 degrees C and heat treatment for 30 seconds using a SOI layer heat treatment process and (a) RTA equipment (SHS-2800) under the ambient atmosphere of hydrogen 25 capacity % and argon 75 capacity %.

(b) With the heat treating furnace of a heater heating type, heat-treat at 1050 degrees C under a steam content ambient atmosphere, and HF water solution removes the thermal oxidation film 5% after forming about 300nm thermal oxidation film.

[0047] In the production process of the SOI wafer of drawing 4 , 6 sets of SOI wafers (examples 1-5, example 1 of a comparison) with which manufacture conditions differ were produced by setting up, as the combination of bond wafer heat treatment and SOI heat treatment was indicated to Table 1. And the result of having measured the surface roughness of the SOI layer of these SOI wafers, and SOI / BOX interface granularity (RMS value of 2-micrometer angle) by AFM (atomic force microscope) was shown in Table 1. In addition, measurement of SOI/BOX interface granularity was evaluated by measuring the surface roughness of the exposed BOX side, after carrying out etching removal of the SOI layer with a TMAH (tetramethylammonium hydride) solution.

[0048]

[Table 1]

項目	実 築 例					比 較 例
	1	2	3	4	5	
ボンドウエーハ 熱処理	な し	(a)	(a)	(b)	(b)	な し
SOI熱処理	(a)	(a)	(b)	(a)	(b)	な し
SOI/BOX 界面粗さ (nm)	0. 133	0. 095	0. 097	0. 115	0. 113	0. 135
SOI 表面粗さ (nm)	0. 097	0. 101	0. 120	0. 105	0. 118	0. 145

【註】 (a) RTA装置 (SHS-2800) を使用し、水素25容量%、アルゴン75容量%の
雰囲気下、1100°C、30秒間の熱処理を行う。

(b) ヒーター加熱式の熱処理炉にて、水蒸気含有雰囲気下、1050°Cで熱処理し、
約300nmの熱酸化膜を形成後、5%HF水溶液により熱酸化膜を除去する。

[0049] The result of the SOI layer surface roughness of Table 1 and SOI/BOX interface granularity shows that the SOI wafer with which SOI layer surface roughness, and/or SOI / BOX interface granularity are set to 0.12nm or less with an RMS value can be obtained according to this invention. That is, as a SOI wafer for MOS devices, the SOI wafer which can lessen extremely variation in properties, such as oxide film pressure-proofing and the threshold electrical potential difference of an MOS device, or ** carrier mobility, etc., and its manufacture approach can be offered.

[0050] In addition, this invention is not limited to the above-mentioned operation gestalt. The above-mentioned operation gestalt is instantiation, and no matter it may be what thing which has the same configuration substantially with the technical thought indicated by the claim of this invention, and does the same operation

effectiveness so, it is included by the technical range of this invention.

[0051] For example, with the operation gestalt of this invention, although the SOI wafer is manufactured from the silicon single crystal wafer with a diameter of 200mm (8 inches), it can respond also to 250mm (10 inches) - 400mm (16 inches) or the formation of a large diameter beyond it in recent years enough. Moreover, although the case where RTA heat treatment or formation removal of an oxide film was performed only to a bond wafer was illustrated above, you may carry out also to a base wafer.

[0052]

[Effect of the Invention] As explained in full detail above, according to this invention, the surface roughness and/or SOI/BOX interface granularity of a SOI wafer can produce easily the SOI wafer of the high quality set to 0.12nm or less with an RMS value by low cost. Therefore, if an MOS device is produced using the SOI wafer of this invention, the MOS device of high quality with very little variation in device properties, such as oxide film pressure-proofing, a threshold electrical potential difference, or carrier mobility, etc. can be offered.

[Translation done.]

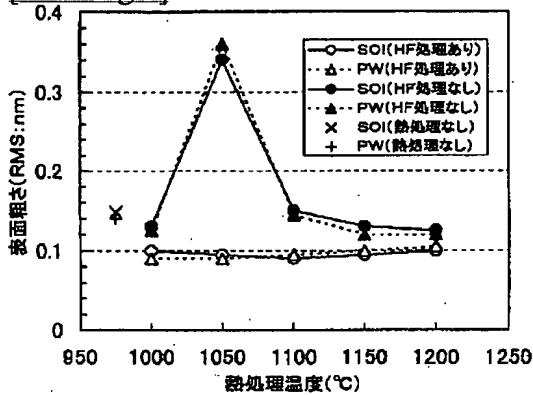
* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

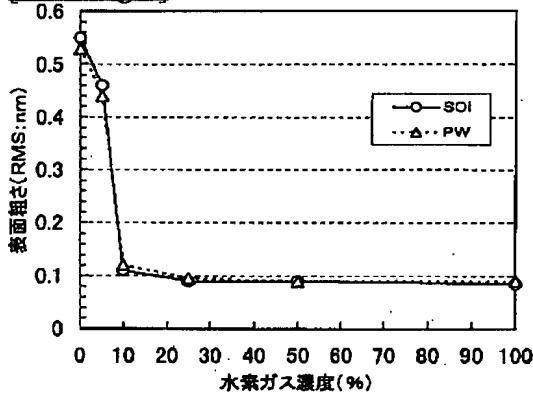
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

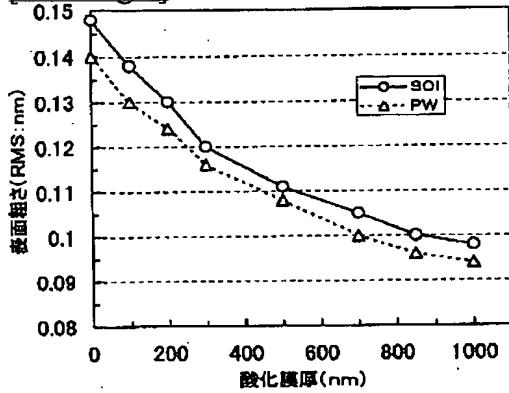
[Drawing 1]



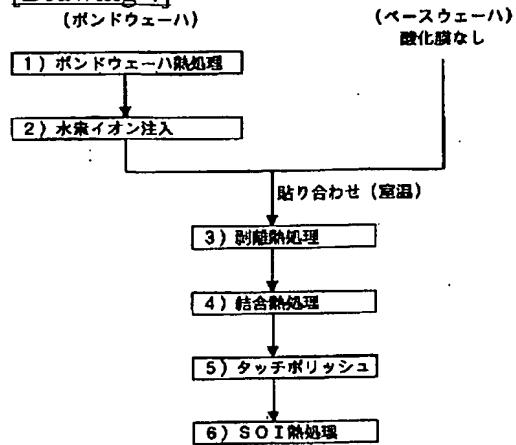
[Drawing 2]



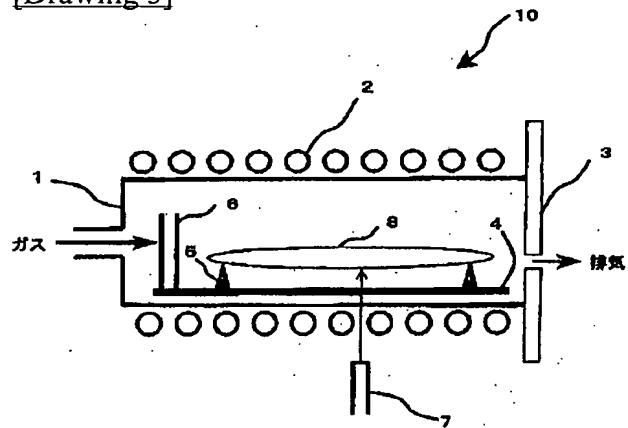
[Drawing 3]



[Drawing 4]



[Drawing 5]



[Translation done.]